

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-224885

(43)Date of publication of application : 17.08.1999

(51)Int.Cl.

H01L 21/60

H01L 23/12

(21)Application number : 10-025277

(71)Applicant : MATSUSHITA ELECTRON CORP

(22)Date of filing : 06.02.1998

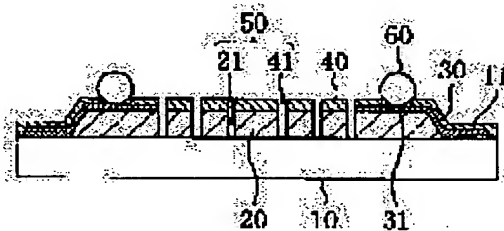
(72)Inventor : SAWARA RYUICHI
SHIMOISHIZAKA NOZOMI
NAKAMURA YOSHIFUMI
KUMAKAWA TAKAHIRO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device with high reliability by preventing the peeling off of an insulating resin layer, due to moisture absorbed by the insulating resin layer.

SOLUTION: This semiconductor device is provided with an insulating resin layer 20 formed by opening an electrode 11 on the main surface of a semiconductor chip 10, metal wiring 30 formed on the electrode 11 and the insulating resin layer 20 and provided with a land 31, a solder resist 40 formed by opening the land 31, a through-hole 50 passing through the solder resist 40 and the insulating resin layer 20 reaching the main surface of the semiconductor chip 10 and a metal ball 60 provided on the land 31. Since the moisture absorbed by the insulating resin layer 20 is discharged from the exposed surface of the insulating resin layer 20 at the through-hole 50 to the outside of the semiconductor device, the peeling off of the insulating resin layer 20 due to the moisture is prevented, and the semiconductor device with the high reliability is provided.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor device characterized by to have the insulating resin layer formed in the principal plane by carrying out opening of said electrode to the semiconductor chip which has an electrode on said principal plane, metal wiring which was connected to said electrode and formed over said insulating resin layer top, the protective coat which consist of insulating matter which has the property which crawls a conductive ingredient, and the through hole which penetrate said protective coat and reach said insulating resin layer at least.

[Claim 2] It is the semiconductor device characterized by for said through hole penetrating said insulating resin layer further in a semiconductor device according to claim 1, and reaching the principal plane of said semiconductor chip.

[Claim 3] The semiconductor device characterized by having further the letter electrode of a projection which is formed in opening which penetrates said protective coat in a semiconductor device according to claim 1 or 2, and is connected to said metal wiring.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention is a semiconductor device which has semiconductor devices, such as a transistor, and relates to the semiconductor device which can secure the dependability of connection especially between external instruments.

[0002]

[Description of the Prior Art] In recent years, a miniaturization, densification, and improvement in the speed have come to be required from a semiconductor device with the miniaturization of electronic equipment, and advanced features. for this reason — for example, a package called muBGA (micro ball grid array) (Patent Publication Heisei No. 504408 [06 to] official report) which LOC (lead-on chip), SON (small outline non lead), etc. were developed as a package for memory, or used the TAB tape is developed.

[0003] Hereafter, the conventional semiconductor device called muBGA and its manufacture approach are explained, referring to drawing 3 . Drawing 3 is the sectional view showing the conventional semiconductor device called muBGA. The semiconductor chip with which 101 builds in semiconductor devices, such as a transistor, in drawing 3 . The wiring circuit sheet which 102 is prepared on a semiconductor chip 101 and consists of resin. The pliant low elastic-modulus ingredient with which 103 intervenes between a semiconductor chip 101 and the wiring circuit sheet 102. The partial lead whose wiring circuit sheet 102 has 104, the electrode with which a semiconductor chip 101 has 105, and 106 are the electrodes of the wiring circuit sheet 102, and the external electrode for connecting a semiconductor device and an external instrument and 107 are the metal balls prepared on the external electrode 106. As shown in drawing 3 , the semiconductor device called muBGA has the structure where the wiring circuit sheet 102 was joined through the low modulus-of-elasticity ingredient 103 on the semiconductor chip 101, and the electrode 105 of a semiconductor chip 101 and the external electrode 106 of the wiring circuit sheet 102 are electrically connected through the partial lead 104.

[0004] Next, the manufacture approach of the conventional semiconductor device called muBGA is explained with reference to drawing 3 . First, the wiring circuit sheet 102 which has the partial lead 104 installed from the external electrode 106 and this external electrode 106 on the semiconductor chip 101 is joined through the low elastic-modulus ingredient 103. This low elastic-modulus ingredient 103 is insulating resin, and has an adhesion function. Next, in case it connects electrically by the "TAB" (tape automated bonding) activity, the partial lead 104 and an electrode 105 are connected with the conventional thermocompression bonding technique or conventional ultrasonic-bonding technique usually used. Next, a connection is reinforced by applying closure resin. Next, after laying the metal ball 107 on the external electrode 106, melting association of the external electrode 106 and the metal ball 107 is carried out. The semiconductor device called muBGA was manufactured by the above approach.

[0005]

[Problem(s) to be Solved by the Invention] However, according to the above-mentioned conventional semiconductor device, the low elastic-modulus ingredient 103 has absorbed moisture, namely, since the moisture in an ambient atmosphere is absorbed, the moisture absorbed in the elevated-temperature ambient atmosphere by the reflow of the pewter at the time of mounting a semiconductor device in a printed circuit board etc. evaporates from the low elastic-modulus ingredient 103. Therefore, in the interface of a semiconductor chip 101 and the low elastic-modulus ingredient 103, or the interface of the low elastic-modulus ingredient 103 and the wiring circuit sheet 102, there was a problem that exfoliation resulting from the evaporated moisture occurred and the dependability of connection fell.

[0006] This invention solves the above-mentioned conventional technical problem, and aims at offering the semiconductor device which has high dependability.

[0007]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, in this invention, the means about the semiconductor device indicated by claims 1-3 is provided.

[0008] The 1st semiconductor device of this invention is equipped with the insulating resin layer formed in the principal plane by carrying out opening of the electrode to the semiconductor chip which has an electrode on a principal plane as indicated by claim 1, metal wiring which were connected to the electrode and formed over the insulating resin layer top, the protective coat which consist of insulating matter which has the property which crawls a conductive ingredient, and the through hole which penetrate a protective coat and reach an insulating resin layer at least.

[0009] Thereby, even if heat is applied in the time of mounting etc., the moisture absorbed by the insulating resin

layer is emitted to the exterior of a semiconductor device from the front face of the insulating resin layer exposed in the base of the through hole which penetrates a protective coat. Therefore, since the stress which originates in moisture in an insulating resin layer is controlled, exfoliation does not occur in the interface of an insulating resin layer, and a semiconductor chip or a protective coat, but the semiconductor device which has high dependability is realized.

[0010] In the semiconductor device of claim 1, a through hole can be considered as the configuration which penetrates an insulating resin layer further and reaches the principal plane of a semiconductor chip as indicated by claim 2.

[0011] Thereby, even if heat is applied in the time of mounting etc., the moisture absorbed by the insulating resin layer is effectively emitted to the exterior of a semiconductor device from the internal surface of the insulating resin layer exposed in the through hole which penetrates a protective coat and an insulating resin layer. Therefore, since the stress which originates in moisture in an insulating resin layer is controlled more effectively, exfoliation does not occur in the interface of an insulating resin layer, and a semiconductor chip or a protective coat, but the semiconductor device which has higher dependability is realized.

[0012] In claim 1 or the semiconductor device of 2, it can consider as the configuration further equipped with the letter electrode of a projection which is formed in opening which penetrates a protective coat and is connected to metal wiring as indicated by claim 3.

[0013] A signal can be outputted [thereby,] and inputted much more certainly through the letter electrode of a projection between a semiconductor device and an external instrument.

[0014]

[Embodiment of the Invention] (1st operation gestalt) The 1st operation gestalt of this invention is explained hereafter, referring to drawing 1. Drawing 1 is the sectional view showing the semiconductor device concerning this operation gestalt. In drawing 1, 10 is a semiconductor chip having the semiconductor integrated circuit which consists of semiconductor devices, such as a transistor. In the principal plane of this semiconductor chip 10, two or more electrodes 11 are arranged near the periphery, opening of each electrode 11 is carried out, and passivation (not shown) is formed. And on the principal plane of a semiconductor chip 10, the insulating resin layer 20 is formed so that the flat part which carried out opening of each electrode 11, and rose in the center section may be formed. The metal wiring 30 formed so that an electrode 11 might be covered is prolonged in the direction which counters the periphery by which the inside 11, i.e., each electrode, was formed on the principal plane of a semiconductor chip 10 in the insulating principal plane [of a semiconductor chip 10], and resin layer 20 top, respectively. On the principal plane of a semiconductor chip 10, it is some metal wiring 30, opening of the land 31 for connecting a semiconductor device and an external instrument (not shown) is carried out, and the solder resist 40 is formed. And the insulating resin layer 20 is penetrated, a through hole 21 penetrates a solder resist 40, a through hole 41 is formed, respectively and a through hole 21 and a through hole 41 constitute one through hole 50 in all. In the inside of a through hole 50, the insulating resin layer 20 and the solder resist 40 were exposed, and the principal plane of a semiconductor chip 10 is exposed in a base with this. On the land 31, the metal ball 60 which is a letter electrode of a projection is formed. That is, it has the structure where the metal ball 60 was joined to the land 31 exposed to opening of a solder resist 40.

[0015] As explained above, according to the semiconductor device of this operation gestalt, the moisture evaporated from the insulating resin layer 20 is effectively emitted to the exterior of a semiconductor device through the through hole 50 which penetrates the insulating resin layer 20 and solder resist 40 which were prepared by carrying out a laminating one by one on the principal plane of a semiconductor chip 10, and is attained to the principal plane of a semiconductor chip 10. Therefore, since the stress resulting from the moisture absorbed in the insulating resin layer 20 can be controlled even if heat is applied in the time of mounting etc., the semiconductor device which exfoliation does not generate in the interface of a semiconductor chip 10 and the insulating resin layer 20 or the interface of the insulating resin layer 20 and a solder resist 40 is realized.

[0016] The manufacture approach of the semiconductor device concerning this operation gestalt is explained referring to drawing 1.

[0017] First, after applying the resin which consists of an insulating material which has photosensitivity, drying and forming the resin film on the principal plane of a semiconductor chip 10, exposure and development are performed one by one and the insulating resin layer 20 in which the part and through hole 21 of an electrode 11 carried out opening is formed. In this case, it sets, for example, not parallel light but the scattered light is used by exposure, and to an electrode 11, it is not perpendicular, and the cross-section configuration of the insulating resin layer 20 in opening of the electrode 11 neighborhood is made into the shape of a taper, and is formed. As an ingredient which has the photosensitivity for forming the insulating resin layer 20, what is necessary is just resin which has the insulation of polyimide, epoxy, etc., for example.

[0018] Next, on the whole surface of the principal plane of a semiconductor chip 10, after forming the metal thin film layer which consists of Ti/Cu by the vacuum deposition method, the sputtering method, the CVD method, or the nonelectrolytic plating method, patterning is performed to this metal thin film layer. By this, the metal wiring 30 which has a land 31 is formed on the principal plane of a semiconductor chip 10.

[0019] As patterning is the following, it is performed. After applying a photosensitive resist on a metal thin film layer and stiffening resists other than the predetermined pattern section by exposure, the resist of this pattern section is removed. Electrolysis plating is used, the metal layer which has the large thickness which becomes said pattern section from Cu is formed, and a resist is fused and removed after that. The predetermined metal wiring 30 is

formed by being immersed in an etching reagent after that and leaving the metal layer which melts a metal thin film layer and has large thickness.

[0020] In addition, a circuit pattern may be formed by making a metal membrane deposit all over a front face, applying a resist on it, forming the resist for etching masks on the predetermined pattern section using a photolithography technique, and etching a metal layer by using this resist as a mask.

[0021] Next, after applying a photosensitive solder resist on the insulating resin layer 20, a photolithography technique is used, opening of the land 31 is carried out a through hole 21 top, respectively, and a solder resist 40 is formed. That is, in the through hole 50 formed of the through hole 21 and the through hole 41 on it, the principal plane of a semiconductor chip 10 is exposed. And it is protected from the pewter which parts other than land 31 fused in back processes, such as a reflow, by the solder resist 40 among the metal wiring 30.

[0022] Next, the metal ball 60 which consists of a pewter, copper, nickel, etc. or consists of a metal by which pewter plating was carried out is laid on a land 31, and fused junction of the metal ball 60 and the land 31 is carried out. According to the above process, the semiconductor device concerning this operation gestalt can be obtained.

[0023] According to the manufacture approach of the semiconductor device of this operation gestalt, a through hole 50 is formed in the insulating resin layer 20 and solder resist 40 by which the laminating was carried out one by one on the principal plane of a semiconductor chip 10, and the semiconductor device concerning this operation gestalt can be manufactured easily.

[0024] In addition, in the above explanation, although the resin which has photosensitivity was applied in order to form the insulating resin layer 20, not only this but the insulating material which was beforehand formed in the shape of a film and which has photosensitivity may be used. In this case, a through hole 21 is formed at the same time it exposes and develops negatives and exposes the electrode 11 of a semiconductor chip 10, after sticking a film-like insulating material on the principal plane of a semiconductor chip 10.

[0025] Moreover, the cross-section configuration in opening of the insulating resin layer 20 was formed in the shape of a taper using the scattered light. It may replace with this, may expose using parallel light, it may carry out controlling the temperature profile in heat treatment after development etc., and the cross-section configuration in opening of the insulating resin layer 20 may be formed in the shape of a taper.

[0026] Furthermore, the insulating material which does not have photosensitivity, respectively can also be used. In this case, the electrode 11 of a semiconductor chip 10 is exposed by mechanical processing of laser, the plasma, etc., or chemical processing of etching etc.

[0027] In addition, although Ti/Cu was used as a metal thin film layer, it may replace with this and TiW, Au, Pd, Cr, W, Cu, nickel, etc. may be used.

[0028] (2nd operation gestalt) The 2nd operation gestalt of this invention is explained hereafter, referring to drawing 2. Drawing 2 is the sectional view showing the semiconductor device concerning this operation gestalt. The same sign as the sign in drawing 1 is given to the same component as the 1st operation gestalt, and the explanation is omitted.

[0029] Suppose that this operation gestalt is made the through hole which replaces with the through hole 50 in the 1st operation gestalt, and penetrates a solder resist 40 about the through hole for discharging the moisture evaporated in the insulating resin layer 20.

[0030] In drawing 2, a solder resist 40 is penetrated and the through hole 41 is formed. In the base of a through hole 41, the front face of the insulating resin layer 20 is exposed with this.

[0031] According to the semiconductor device of this operation gestalt, the moisture evaporated from the insulating resin layer 20 is emitted to the exterior of a semiconductor device through the through hole 41 which penetrates the solder resist 40 prepared on the insulating resin layer 20, and is attained to the front face of the insulating resin layer 20 on the principal plane of a semiconductor chip 10. Therefore, since the stress resulting from the moisture absorbed in the insulating resin layer 20 can be controlled even if heat is applied in the time of mounting etc., the semiconductor device which exfoliation does not generate in the interface of a semiconductor chip 10 and the insulating resin layer 20 or the interface of the insulating resin layer 20 and a solder resist 40 is realized.

[0032] The semiconductor device concerning this operation gestalt can be easily manufactured by replacing with the process which carries out opening of the part and through hole 21 of an electrode 11 in the 1st operation gestalt, and forms the insulating resin layer 20, and considering as the process which carries out opening only of the part of an electrode 11.

[0033]

[Effect of the Invention] According to invention of claims 1 and 2, the moisture absorbed by the insulating resin layer is emitted to the exterior of a semiconductor device from the exposure of an insulating resin layer through a through hole. Therefore, since the stress resulting from moisture is controlled even if heat is applied in the time of mounting etc., exfoliation does not occur in the interface of an insulating resin layer, and a semiconductor chip or a protective coat, but the semiconductor device which has high dependability is realized.

[0034] According to invention of claim 3, since a signal can be outputted and inputted much more certainly through the letter electrode of a projection between a semiconductor device and an external instrument, the semiconductor device which has higher dependability is realized.

[Translation done.]

* NOTICES *

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view showing the semiconductor device concerning the 1st operation gestalt of this invention.

[Drawing 2] It is the sectional view showing the semiconductor device concerning the 2nd operation gestalt of this invention.

[Drawing 3] It is the sectional view showing the conventional semiconductor device.

[Description of Notations]

10 Semiconductor Chip

11 Electrode

20 Insulating Resin Layer

21, 41, 50 Through hole

30 Metal Wiring

31 Land

40 Solder Resist

60 Metal Ball

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平11-224885

(43) 公開日 平成11年(1999) 8月17日

(51) Int.Cl.⁶

H 0 1 L 21/60
23/12

識別記号

3 1 1

F I

H 0 1 L 21/60
23/12

3 1 1 R
L

審査請求 未請求 請求項の数3 O L (全 5 頁)

(21) 出願番号

特願平10-25277

(22) 出願日

平成10年(1998) 2月6日

(71) 出願人

000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者

佐原 隆一

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者

下石坂 望

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者

中村 嘉文

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(74) 代理人

弁理士 前田 弘 (外2名)

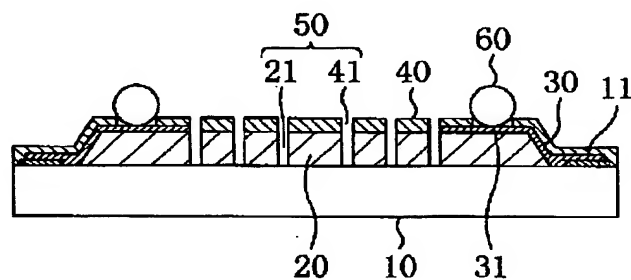
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 絶縁性樹脂層が吸収した水分に起因する絶縁性樹脂層の剥離を防止して、信頼性の高い半導体装置を提供する。

【解決手段】 半導体チップ10の主面において電極11を開口して形成された絶縁性樹脂層20と、電極11と絶縁性樹脂層20との上にわたって形成されランド31を有する金属配線30と、ランド31を開口して形成されたソルダーレジスト40と、ソルダーレジスト40と絶縁性樹脂層20とを貫通し半導体チップ10の主面に達する貫通穴50と、ランド31に設けられた金属ボール60とを備える。絶縁性樹脂層20が吸収した水分が、貫通穴50における絶縁性樹脂層20の露出面から半導体装置の外部へと排出されるので、水分に起因する絶縁性樹脂層20の剥離を防止して、信頼性の高い半導体装置を提供できる。



(2)

1

【特許請求の範囲】

【請求項1】 主面に電極を有する半導体チップと、前記主面上において前記電極を開口して形成された絶縁性樹脂層と、前記電極に接続され前記絶縁性樹脂層上にわたって形成された金属配線と、導電性材料をはじく性質を有する絶縁性物質からなる保護膜と、前記保護膜を貫通し少なくとも前記絶縁性樹脂層に達する貫通穴とを備えたことを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記貫通穴は更に前記絶縁性樹脂層を貫通し前記半導体チップの主面に達することを特徴とする半導体装置。

【請求項3】 請求項1又は2記載の半導体装置において、前記保護膜を貫通する開口部に形成され前記金属配線に接続される突起状電極を更に備えたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、トランジスタ等の半導体素子を有する半導体装置であって、特に外部機器との間における接続の信頼性を確保できる半導体装置に関するものである。

【0002】

【従来の技術】近年、電子機器の小型化、高機能化に伴い、半導体装置に対して小型化、高密度化、高速化が要求されるようになってきた。このため、例えば、メモリー用パッケージとしてはLOC（リード・オン・チップ）やSON（スモール・アウトライン・ノンリード）等が開発され、あるいはTABテープを利用した μ BGA（マイクロ・ボール・グリッド・アレイ）（特表平06-504408号公報）といったパッケージが開発されている。

【0003】以下、 μ BGAと呼ばれる従来の半導体装置及びその製造方法について、図3を参照しながら説明する。図3は、 μ BGAと呼ばれる従来の半導体装置を示す断面図である。図3において、101はトランジスタ等の半導体素子を内蔵する半導体チップ、102は半導体チップ101上に設けられ樹脂からなる配線回路シート、103は半導体チップ101と配線回路シート102との間に介在するしなやかな低弾性率材料、104は配線回路シート102が有する部分リード、105は半導体チップ101が有する電極、106は配線回路シート102の電極であって半導体装置と外部機器とを接続するための外部電極、107は外部電極106上に設けられた金属ボールである。図3に示すように、 μ BGAと呼ばれる半導体装置は、半導体チップ101上に低弾性率材料103を介して配線回路シート102が接合された構造を有し、半導体チップ101の電極105と

2

配線回路シート102の外部電極106とが、部分リード104を介して電氣的に接続されたものである。

【0004】次に、 μ BGAと呼ばれる従来の半導体装置の製造方法を、図3を参照して説明する。まず、半導体チップ101上に、外部電極106と該外部電極106から延設された部分リード104とを有する配線回路シート102を、低弾性率材料103を介して接合する。該低弾性率材料103は絶縁性樹脂であって、接着機能を有する。次に、「TAB」（テープ・オートメテッド・ボンディング）作業で電氣的に接続する際に通常用いられる従来の熱圧着技術又は超音波ボンディング技術によって、部分リード104と電極105とを接続する。次に、封止樹脂を塗布することにより接続部を補強する。次に、外部電極106上に金属ボール107を載置した後に、外部電極106と金属ボール107とを溶融結合する。以上の方法によって、 μ BGAと呼ばれる半導体装置を製造していた。

【0005】

【発明が解決しようとする課題】しかしながら、上記従来の半導体装置によれば、低弾性率材料103が吸湿している、すなわち雰囲気中の水分を吸収しているので、半導体装置をプリント基板等に実装する際のハンダのリフロー等による高温雰囲気中において、吸収された水分が低弾性率材料103から気化する。したがって、半導体チップ101と低弾性率材料103との界面、又は低弾性率材料103と配線回路シート102との界面において、気化した水分に起因する剥離が発生して接続の信頼性が低下するという問題があった。

【0006】本発明は、上記従来の課題を解決するもので、高い信頼性を有する半導体装置を提供することを目的とする。

【0007】

【課題を解決するための手段】上記の目的を達成するために、本発明では、請求項1～3に記載された半導体装置に関する手段を講じている。

【0008】本発明の第1の半導体装置は、請求項1に記載されているように、主面に電極を有する半導体チップと、主面上において電極を開口して形成された絶縁性樹脂層と、電極に接続され絶縁性樹脂層上にわたって形成された金属配線と、導電性材料をはじく性質を有する絶縁性物質からなる保護膜と、保護膜を貫通し少なくとも絶縁性樹脂層に達する貫通穴とを備えている。

【0009】これにより、実装時等において熱が加えられても、絶縁性樹脂層に吸収されている水分が、保護膜を貫通する貫通穴の底面において露出する絶縁性樹脂層の表面から、半導体装置の外部へと放出される。したがって、絶縁性樹脂層において水分に起因する応力が抑制されるので、絶縁性樹脂層と、半導体チップ又は保護膜との界面で剥離が発生せず、高い信頼性を有する半導体装置が実現される。

(3)

3

【0010】請求項2に記載されているように、請求項1の半導体装置において、貫通穴は更に絶縁性樹脂層を貫通し半導体チップの主面に達する構成とすることができる。

【0011】これにより、実装時等において熱が加えられても、絶縁性樹脂層に吸収されている水分が、保護膜と絶縁性樹脂層とを貫通する貫通穴において露出する絶縁性樹脂層の内壁面から、半導体装置の外部へと効果的に放出される。したがって、絶縁性樹脂層において水分に起因する応力がより効果的に抑制されるので、絶縁性樹脂層と、半導体チップ又は保護膜との界面で剥離が発生せず、より高い信頼性を有する半導体装置が実現される。

【0012】請求項3に記載されているように、請求項1又は2の半導体装置において、保護膜を貫通する開口部に形成され金属配線に接続される突起状電極を更に備えた構成とすることができる。

【0013】これにより、半導体装置と外部機器との間で、突起状電極を介していっそう確実に信号を入出力することができる。

【0014】

【発明の実施の形態】（第1の実施形態）以下、本発明の第1の実施形態について、図1を参照しながら説明する。図1は、本実施形態に係る半導体装置を示す断面図である。図1において、10はトランジスタ等の半導体素子からなる半導体集積回路を内蔵する半導体チップである。この半導体チップ10の主面においては、周辺部の近傍に複数の電極11が配置され、各電極11を開口してパッシベーション（図示せず）が形成されている。そして、半導体チップ10の主面上には、各電極11を開口し中央部において盛り上がった平坦部を形成するように、絶縁性樹脂層20が設けられている。電極11を覆うように形成された金属配線30は、半導体チップ10の主面と絶縁性樹脂層20との上を、半導体チップ10の主面上において内側、つまり各電極11が形成された周辺部にそれぞれ対向する方向へと延びている。半導体チップ10の主面上において、金属配線30の一部であって半導体装置と外部機器（図示せず）とを接続するためのランド31を開口して、溶剤レジスト40が形成されている。そして、絶縁性樹脂層20を貫通して貫通穴21が、溶剤レジスト40を貫通して貫通穴41がそれぞれ形成され、貫通穴21と貫通穴41とは併せて1個の貫通穴50を構成する。このことにより、貫通穴50の内面において絶縁性樹脂層20と溶剤レジスト40とが露出し、底面において半導体チップ10の主面が露出している。ランド31の上には、突起状電極である金属ボール60が設けられている。すなわち、溶剤レジスト40の開口部に露出するランド31に金属ボール60が接合された構造になっている。

【0015】以上説明したように、本実施形態の半導体

4

装置によれば、半導体チップ10の主面上において、順次積層して設けられた絶縁性樹脂層20と溶剤レジスト40とを貫通して半導体チップ10の主面へ達する貫通穴50を介して、絶縁性樹脂層20から気化した水分が半導体装置の外部へと効果的に放出される。したがって、実装時等において熱が加えられても、絶縁性樹脂層20において吸収された水分に起因する応力を抑制できるので、半導体チップ10と絶縁性樹脂層20との界面、又は絶縁性樹脂層20と溶剤レジスト40との界面において剥離が発生しない半導体装置が実現される。

【0016】本実施形態に係る半導体装置の製造方法について、図1を参照しながら説明する。

【0017】まず、半導体チップ10の主面上に、感光性を有する絶縁物からなる樹脂を塗布し乾燥して樹脂膜を形成した後に、露光と現像とを順次行って、電極11の部分と貫通穴21とが開口した絶縁性樹脂層20を形成する。この場合において、例えば露光で平行光ではなく散乱光を使用して、電極11付近の開口部における絶縁性樹脂層20の断面形状を、電極11に対して垂直ではなくテーパ状にして形成する。絶縁性樹脂層20を形成するための感光性を有する材料としては、例えばポリイミド、エポキシ等のような絶縁性を有する樹脂であればよい。

【0018】次に、半導体チップ10の主面の全面において、真空蒸着法、スパッタリング法、CVD法又は無電解めっき法によって例えばTi/Cuからなる金属薄膜層を形成した後に、該金属薄膜層に対してパターンニングを行う。このことにより、半導体チップ10の主面上に、ランド31を有する金属配線30を形成する。

【0019】パターンニングは、以下のように行う。金属薄膜層の上に感光性レジストを塗布して、露光によって所定のパターン部以外のレジストを硬化させた後に、該パターン部のレジストを除去する。電解めっきを使用して、前記パターン部に例えばCuからなる大きい膜厚を有する金属層を形成し、その後、レジストを溶融して除去する。その後にエッチング液に浸漬して、金属薄膜層を溶かし、かつ大きい膜厚を有する金属層を残すことによって、所定の金属配線30を形成する。

【0020】なお、表面の全面に金属膜を堆積させ、その上にレジストを塗布し、フォトリソグラフィ技術を使用して所定のパターン部の上にエッチングマスク用レジストを形成し、このレジストをマスクとして金属層をエッチングすることにより、配線パターンを形成してもよい。

【0021】次に、絶縁性樹脂層20の上に感光性溶剤レジストを塗布した後に、フォトリソグラフィ技術を使用して、貫通穴21の上とランド31とをそれぞれ開口して溶剤レジスト40を形成する。つまり、貫通穴21とその上の貫通穴41とによって形成された

(4)

5

貫通穴50において、半導体チップ10の主面が露出する。そして、溶ダーレジスト40によって、金属配線30のうちランド31以外の部分が、例えばリフロー等の後工程において溶融したハンダから保護される。

【0022】次に、ハンダ、銅、ニッケル等からなる、又はハンダめっきされた金属からなる金属ボール60をランド31の上に載置して、金属ボール60とランド31とを溶融接合する。以上の工程によって、本実施形態に係る半導体装置を得ることができる。

【0023】本実施形態の半導体装置の製造方法によれば、半導体チップ10の主面上に順次積層された絶縁性樹脂層20と溶ダーレジスト40とに貫通穴50を形成して、本実施形態に係る半導体装置を容易に製造できる。

【0024】なお、以上の説明においては、絶縁性樹脂層20を形成するために、感光性を有する樹脂を塗布したが、これに限らず、予めフィルム状に形成された、感光性を有する絶縁材料を使用してもよい。この場合には、フィルム状の絶縁材料を半導体チップ10の主面上に貼り合わせた後に露光、現像して、半導体チップ10の電極11を露出させると同時に貫通穴21を形成する。

【0025】また、散乱光を用いて絶縁性樹脂層20の開口部における断面形状をテーパ状に形成した。これに代えて、平行光を用いて露光し、現像後の熱処理における温度プロファイルを制御する等して、絶縁性樹脂層20の開口部における断面形状をテーパ状に形成してもよい。

【0026】更に、それぞれ感光性のない絶縁材料も使用できる。この場合には、レーザーやプラズマ等の機械的加工、又はエッチング等の化学的加工によって、半導体チップ10の電極11を露出させる。

【0027】なお、金属薄膜層としてTi/Cuを使用した。これに代えてTiW、Au、Pd、Cr、W、Cu、Ni等を使用してもよい。

【0028】(第2の実施形態)以下、本発明の第2の実施形態について、図2を参照しながら説明する。図2は、本実施形態に係る半導体装置を示す断面図である。第1の実施形態と同一の構成要素には図1における符号と同一の符号を付して、その説明を省略する。

【0029】本実施形態は、絶縁性樹脂層20において気化した水分を排出するための貫通穴について、第1の実施形態における貫通穴50に代えて、溶ダーレジスト40を貫通する貫通穴にすることとしたものである。

【0030】図2において、溶ダーレジスト40を貫通して貫通穴41が形成されている。このことにより、

6

貫通穴41の底面において絶縁性樹脂層20の表面が露出している。

【0031】本実施形態の半導体装置によれば、半導体チップ10の主面上において、絶縁性樹脂層20上に設けられた溶ダーレジスト40を貫通し絶縁性樹脂層20の表面へ達する貫通穴41を介して、絶縁性樹脂層20から気化した水分が半導体装置の外部へと放出される。したがって、実装時等において熱が加えられても、絶縁性樹脂層20において吸収された水分に起因する応力を抑制できるので、半導体チップ10と絶縁性樹脂層20との界面、又は絶縁性樹脂層20と溶ダーレジスト40との界面において剥離が発生しない半導体装置が実現される。

【0032】第1の実施形態における、電極11の部分と貫通穴21とを開口して絶縁性樹脂層20を形成する工程に代えて、電極11の部分のみを開口する工程とすることによって、本実施形態に係る半導体装置を容易に製造することができる。

【0033】

【発明の効果】請求項1、2の発明によれば、絶縁性樹脂層に吸収されている水分が、貫通穴を介して絶縁性樹脂層の露出面から半導体装置の外部へと放出される。したがって、実装時等において熱が加えられても、水分に起因する応力が抑制されるので、絶縁性樹脂層と、半導体チップ又は保護膜との界面で剥離が発生せず、高い信頼性を有する半導体装置が実現される。

【0034】請求項3の発明によれば、半導体装置と外部機器との間で、突起状電極を介していっそう確実に信号を入出力することができるので、より高い信頼性を有する半導体装置が実現される。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る半導体装置を示す断面図である。

【図2】本発明の第2の実施形態に係る半導体装置を示す断面図である。

【図3】従来の半導体装置を示す断面図である。

【符号の説明】

10 半導体チップ

11 電極

20 絶縁性樹脂層

21, 41, 50 貫通穴

30 金属配線

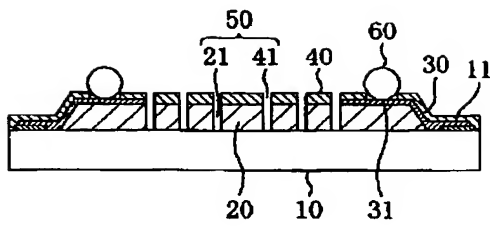
31 ランド

40 溶ダーレジスト

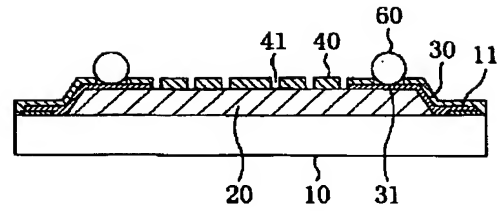
60 金属ボール

(5)

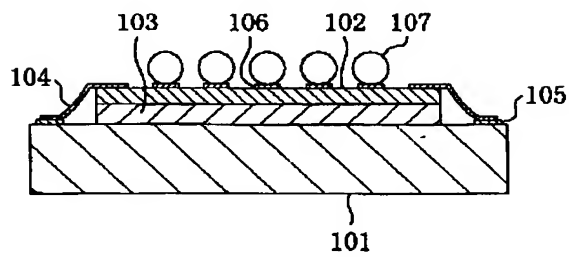
【図 1】



【図2】



【図 3】



フロントページの続き

(72)発明者 隈川 隆博
大阪府高槻市幸町1番1号 松下電子工業
株式会社内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINE(S) OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.